

SINUSOIDAL WAVE GENERATING CIRCUIT

Publication number: JP5183341

Publication date: 1993-07-23

Inventor: MIKI TSUTOMU

Applicant: MITSUBISHI ELECTRIC CORP

Classification:


- international: **H03B28/00; H03K4/02; H03B28/00; H03K4/00; (IPC1-7): H03B28/00**

- European: H03K4/02

Application number: JP19920000228 19920106

Priority number(s): JP19920000228 19920106

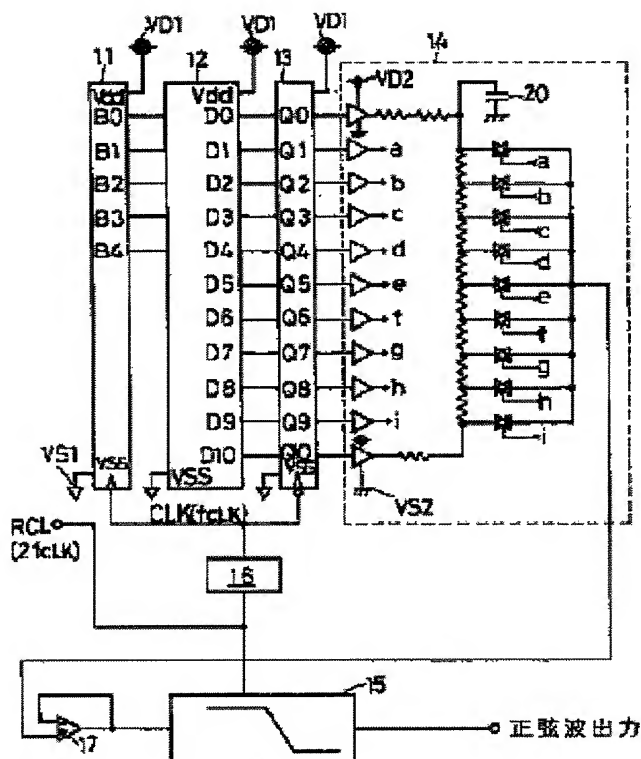
Also published as:

 US5504445 (A1)

Report a data error here

Abstract of JP5183341

PURPOSE: To generate a sinusoidal wave with high accuracy, low distortion and variable frequency through the use of the circuit with a small number of components. **CONSTITUTION:** A counter 11 counts a clock CLK to obtain count results B0-B4 and they are converted into switching control signals D0-D10 by a control timing generating circuit 12. The timing is adjusted by a synchronizing circuit 13 they become switching control signals Q0-Q10 and they are given to a load resistor circuit 14. The load resistor circuit 14 voltage-divides potential sets VD2, VS2 by the resistance and the voltage divided potential is given sequentially to a low pass filter 15 by the switching control signals Q0-Q10. The low pass filter 15 consists of a switched capacitor in which a frequency fCLK of the clock CLK is used for a transmission zero point. Thus, the sine wave with high accuracy and low distortion is obtained and the sine wave whose frequency is variable is obtained while keeping an excellent high frequency suppression effect.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-183341

(43) 公開日 平成5年(1993)7月23日

(51) Int.Cl.⁵

H 0 3 B 28/00

識別記号

庁内整理番号

C 9182-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 11 頁)

(21) 出願番号 特願平4-228

(22) 出願日 平成4年(1992)1月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 三木 務

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(74) 代理人 弁理士 高田 守

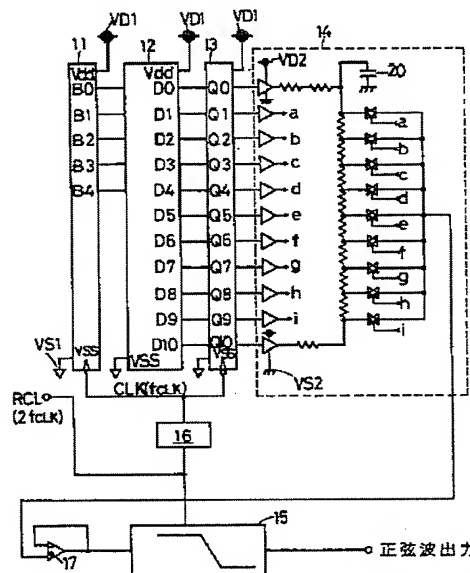
(54) 【発明の名称】 正弦波発生回路

(57) 【要約】

【目的】 低素子数の回路で高精度、低歪率、可変周波数の正弦波を発生させる。

【構成】 カウンタ11がクロックCLKをカウンタし、カウント結果B0～B4を得て、これらは制御タイミング発生回路12によってスイッチング制御信号D0～D10に変換される。これらは更に同期回路13でタイミング調整されてそれぞれスイッチング制御信号Q0～Q10となり、荷重抵抗回路14と与えられる。荷重抵抗回路は電位VD2、VS2を抵抗によって分圧し、分圧された電位はスイッチング制御信号Q0～Q10に従って順次ローパスフィルタ15へ伝えられる。ローパスフィルタ15はクロックCLKの周波数fCLKを伝送零点とするスイッチトキャパシタで構成されている。

【効果】 分圧された電位が正弦波のとりべき値となるように抵抗を設定するので高精度、低歪率の正弦波が得られ、ローパスフィルタの伝送特性はクロック周波数によって可変であるので良好な高周波抑制効果を保ちつつ、周波数が可変の正弦波が得られる。



CLK: クロックパルス
fCLK: クロックパルス周波数
11: カウンタ
12: 制御タイミング発生回路
14: 荷重抵抗発生回路
15: ローパスフィルタ
D0-D10, Q0-Q10: スwitching 制御信号

1

【特許請求の範囲】

【請求項1】第1周波数を有するクロックパルスから、第2周波数を有する近似正弦波を発生する発振回路と、前記発振回路に接続され、前記第1周波数に対応した通過制限領域を有して前記近似正弦波を濾波するローパスフィルタと、

を備え、

前記第1周波数は可変であり、前記ローパスフィルタの前記通過制限領域は前記第1周波数の変化に応じて変化する正弦波発生回路。

【請求項2】荷重抵抗分圧回路と、

前記荷重抵抗分圧回路を制御する制御手段と、

前記近似正弦波を濾波するローパスフィルタと、

を備える正弦波発生回路であって、

前記制御手段は第1周波数を有するクロックパルスからスイッチング制御信号を生成し、

前記荷重抵抗分圧回路は前記スイッチング制御信号を受けて所定の電位差を分圧して複数の対応電位を発生し、前記クロックパルスに同期して前記対応電位を順次引き出して第2周波数を有する近似正弦波を発生する、正弦波発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、通信、音響等の分野において用いられる正弦波発生回路に関するものである。

【0002】

【従来の技術】図8に従来の正弦波発生回路の構成を示す。5ビットカウンタ1はクロックCLKをカウントし、カウント結果B0～B4をアドレスA0～A4としてROM2に与える。ROM2にはあらかじめ正弦波を近似する4ビットデータが記憶されており、アドレスA0～A4によって指定された4ビットデータD0～D3が出力される。これらのデータは4ビットフリップフロップ3を介して信号Q0～Q3となってD/A変換器4に入力され、D/A変換器4からはアナログ電圧が出力される。これをローパスフィルタ5によって高周波雑音を抑圧する。つまりROM2に記憶された正弦波を近似する4ビットのデータがクロックCLKに従って順次読み出されてD/A変換され、ローパスフィルタを介して正弦波を発生させている。

【0003】

【発明が解決しようとする課題】しかし、従来の正弦波発生回路では、正弦波を近似するデータD0～D3が4ビットの信号であり、理想的な正弦波に対して量子化誤差のある出力波形しか得ることができない。図9の白丸はクロックCLKの入る度にD/A変換器4が出力する値を示したものである。出力する値の絶対値の最大値を1とすると、その値は低い方から高い方へと順に、-1, -15/16, -13/16, -11/16, -9

2

1/16, -6/16, -3/16, 0, 3/16, 6/16, 9/16, 11/16, 13/16, 15/16, 1となる。一方、黒丸は白丸に対応してクロックCLKの入る度に理想的な正弦波がとる値を示したものであり、 $\sin(k\pi/16)$ の値を示している(kは整数)。実線は隣接する黒丸を結んでいる。

【0004】この量子化誤差のため、図8に示されたフィルタ5の出力波形は歪率が大きい。この歪率を低減するためには、回路が取扱うデータのビット数を増せばよいが、そのためにはカウンタ1、ROM2、D/A変換器4の各回路を大きなビット数に対応できるものにする必要がある。またローパスフィルタ5の次数を増やす必要もあり、全体の回路規模が増大するという問題点があった。

【0005】また、ローパスフィルタの特性が固定されるため、クロックCLKを早めてD/A変換器4から出力されるデータの周波数を早めた場合には、高周波の抑制が適切に行なわれないため、結果として発生させる正弦波の周波数を可変できないという問題点もあった。

【0006】この発明は上記のような問題点を解消するためになされたもので、回路規模を増大させることなく、高精度で低歪率の正弦波を発生させることができ、また発生する正弦波の周波数が可変である正弦波発生回路を得ることを目的としている。

【0007】

【課題を解決するための手段】この発明の正弦波発生回路は、第1周波数を有するクロックパルスから第2周波数を有する近似正弦波を発生する発振回路と、第2周波数に対応した通過制限領域を有し、発振回路に接続されたローパスフィルタとを備え、第1周波数は可変であり、ローパスフィルタの通過制限領域は第1周波数の変化に応じて変化する。

【0008】また、この発明の正弦波発生回路は、荷重抵抗分圧回路と、荷重抵抗分圧回路を制御する制御手段と、近似正弦波を濾波するローパスフィルタとを備え、制御手段は第1周波数を有するクロックパルスからスイッチング制御信号を生成する。荷重抵抗分圧回路はスイッチング制御信号を受けて所定の電位差を分圧して複数の対応電位を発生させる。そしてクロックパルスに同期して対応電位を順次引き出して第2周波数を有する近似正弦波を発生する。

【0009】

【作用】ローパスフィルタの通過制限領域は、クロックパルスの第1周波数に対応して移動するので、第2周波数の周波数の増大、減少にもかかわらず、近似正弦波を十分伝送しつつクロックパルスの第1周波数を十分抑制する。また、荷重抵抗分圧回路はスイッチング制御信号に従って所定の電位差を分圧し、近似正弦波の対称性ある1/4周期の波形を発生する。

【0010】

【実施例】図1にこの発明の第1実施例である正弦波発生回路の構成を示す。5ビットカウンタ11は入力されるクロックCLKをカウントし、カウント結果B0～B4を抑制タイミング発生回路12へ与える。図2にカウント結果B0～B4の出力波形を示す。カウント結果B0はクロックCLKの周波数fCLKと同じ周波数の2値論理信号であり、これを1/2ずつ順に分周してカウント結果B1, B2, B3, B4が得られる。

【0011】カウント結果は制御タイミング発生回路12に2入力され、後述する構成及び動作によってスイッチング制御信号D0～D10を発生する。これは同期回路13によって、制御タイミング発生回路12内での遅延が整理され、スイッチング制御信号Q0～Q10となって荷重抵抗分圧回路14に入力される。

【0012】図3に荷重抵抗回路14の主要な部分の構成を示す。抵抗R1～R11は直列に接続され、隣接する抵抗RnとR(n+1)の接続点にはアナログスイッチS(n-1)の入力端が接続されている(但しn=2～10)。

【0013】アナログスイッチS1～S9の出力端はバッファ17の入力端に共通して接続されており、バッファ17の出力端からは後述するように階段状の近似正弦波出力が得られる(図7)。アナログスイッチS1～S9のゲートは図1のスイッチング制御信号Q0～Q9が入力される。

【0014】抵抗R1の一端にはバッファ18によって

$$|V8 - V7| / E = \sin(\pi/16) \approx 0.19509$$

$$|V8 - V6| / E = \sin(2\pi/16) \approx 0.382683$$

$$|V8 - V5| / E = \sin(3\pi/16) \approx 0.55557$$

$$|V8 - V4| / E = \sin(4\pi/16) \approx 0.707107$$

$$|V8 - V3| / E = \sin(5\pi/16) \approx 0.831469$$

$$|V8 - V2| / E = \sin(6\pi/16) \approx 0.923879$$

$$|V8 - V1| / E = \sin(7\pi/16) \approx 0.980785$$

【0021】の関係があるので、

40

【0022】

【数4】

$$r = R3 + R4 + \dots + R9 + R10$$

【0023】として、

【0024】

【数5】

電位VAが、抵抗R11の一端にはバッファ19によって電位VBが、それぞれ与えられる。抵抗R1～R11により、電位VA, VBは分圧され、アナログスイッチS1～S9の入力端にそれぞれ電位V8～V0が生ずる。バッファ18, 19はそれぞれ図1のスイッチング制御信号Q0, Q10によって電位の組(VA, VB)として(VD2, VS2)または(VS2, VD2)を与える。VD2, VS2は例えばそれぞれ5ボルト及び0ボルトとして与えられる。

【0015】さて、抵抗R1～R11は以下の様に定められる。まず、電位V8が、

【0016】

【数1】

$$V8 = (VA + VB) / 2$$

【0017】となるように定める。即ち、

【0018】

【数2】

$$R1 + R2 = R3 + R4 + \dots + R10 + R11$$

【0019】である。次に図4に示すように電位V8を中心とし、振幅が(V0 - V8)の絶対値に等しい正弦波W1のうち、対称性のある1/4周期分W2を8等分した場合に得られる電位が、電位V0～V8となるように抵抗を定める。ここで、(V0 - V8)の絶対値をEとして

【0020】

【数3】

$$R3 / r \rightleftharpoons 0.19509$$

$$R4 / r \rightleftharpoons 0.187593$$

$$R5 / r \rightleftharpoons 0.172887$$

$$R6 / r \rightleftharpoons 0.151537$$

$$R7 / r \rightleftharpoons 0.124362$$

$$R8 / r \rightleftharpoons 0.09241$$

$$R9 / r \rightleftharpoons 0.056906$$

$$R10 / r \rightleftharpoons 0.019215$$

【0025】のように各抵抗 $R3 \sim R10$ が求まる。よって抵抗 $R11$ の値を定めれば、数2、数5から抵抗 $R1$ 、 $R2$ の値の和を定めることができる。

【0026】このように構成された荷重抵抗分圧回路14において、アナログスイッチ $S1 \sim S9$ を適宜開閉することにより、近似正弦波を得ることができる。まずスイッチ $S1$ を開き、他のスイッチを閉じるとバッファ17を介して電位 $V8$ が出力される。次にスイッチ $S2$ を開き、他のスイッチを閉じると電位 $V7$ が出力される。今、電位 VA として電位 $VS2$ を、電位 VB として電位 $VD2$ を、それぞれ与えると、このように順次にスイッチを用いていくとバッファ17から出力される電位は次第に上昇していく。そしてスイッチ $S9$ が開かれたあとは、他のスイッチを閉じつつスイッチ $S8$ 、 $S7$ 、 \dots 、 $S2$ *

*, $S1$ と開いてゆくことによりバッファ17から出力される電位は次第に下降する。従ってこのようなスイッチの開閉をクロック CLK と同期させて行えば、正弦波の半周期に相当する近似波形が得られる。そしてこの後、電位 VA として電位 $VD2$ を、電位 VB として電位 $VS2$ を、それぞれ与え、先に示したのと同様にしてスイッチ $S1 \sim S9$ を開閉することにより、残り半周期の近似波形を得ることができる。この近似波形が作る階段状の近似正弦波 $W3$ を図5に、また図6にはこれに加えて理想的な正弦波 $W1$ を記した。黒丸は近似正弦波 $W3$ のステップ部分の中央を示すものであり、これらは理想的な正弦波 $W1$ に載っており、従来の場合のような量子化誤差は生じていない。

【0027】次に、スイッチ $S1 \sim S9$ をクロック CLK に同期させて開閉し、また電位 VA 、 VB に $VD2$ 、 $VS2$ のいずれかを与えるかについての具体的方法について説明する。つまりスイッチング制御信号 $D0 \sim D10$ を発生させる制御タイミング発生回路12の動作について説明する。

【0028】表1にスイッチ $S1 \sim S9$ の開閉の順序を示す。また図2にスイッチング制御信号 $D0 \sim D10$ のタイミングチャートを示す。表1及び図2に付けられた0～31の数字はそれぞれ対応しており、表1においてこれらの数字が記入された欄に対応するスイッチは、図2のこれらの数字が付されたカウント結果 $B0$ の示すタイミングで閉じることを示している。

【0029】

【表1】

	I	II	III	IV
VA	0 V	0 V	5 V	5 V
VB	5 V	5 V	0 V	0 V
S1	0		1 6	
S2	1	1 5	1 7	3 1
S3	2	1 4	1 8	3 0
S4	3	1 3	1 9	2 9
S5	4	1 2	2 0	2 8
S6	5	1 1	2 1	2 7
S7	6	1 0	2 2	2 6
S8	7	9	2 3	2 5
S9		8		2 4

【0030】スイッチ $S1 \sim S9$ が閉じることにより、荷重抵抗分圧回路14はそれぞれ電位 $V8 \sim V0$ を出力する。電位 $V8 \sim V0$ は数3に示す関係があるので、スイッチ $S1 \sim S9$ が2つ以上同時に閉じることなく、こ

の順に一定の時間間隔で閉じてゆくことにより

【0031】

【数6】

$$VA = VS2 = 0 \text{ (V)}, VB = VD2 = 5 \text{ (V)}$$

【0032】の成立を前提として、関数 $\sin \theta$ ($\theta = 0 \sim \pi/2$) の波形に対応した近似正弦波が得られる (表1のコラムI参照)。

【0033】関数 $\sin \theta$ の波形は $\theta = 0 \sim \pi/2$, $\pi/2 \sim \pi$, $\pi \sim 3\pi/2$, $3\pi/2 \sim 2\pi$ で区切られる $1/4$ 周期において対称性があるので、スイッチS9が閉じたあとはスイッチS1まで順次閉じてゆけばよい。これによって関数 $\sin \theta$ ($\theta = \pi/2 \sim \pi$) の波形に対応した近似正弦波が得られる (表1のコラムII参照)。ここまでのスイッチS1～S9の開閉により、近*

$$VA = VD2 = 5 \text{ (V)}, VB = VS2 = 0 \text{ (V)}$$

【0036】が成立していなければならない。

【0037】スイッチS1が閉じて与えられる電位V8は数1を満足するので、電位VA, VBの逆転によって電位V8が変動することはない。従って表1のコラムII I, IVで示されるスイッチS1～S9の開閉により、関数 $\sin \theta$ ($\theta = \pi \sim 2\pi$) に対応した近似正弦波を得※

* 似正弦波の $1/2$ 周期が得られたことになる。

【0034】次の $1/2$ 周期に対応する近似正弦波は、表1のコラムI, IIで説明したスイッチS1～S9の開閉を繰り返すことにより実現できる。関数 $\sin \theta$ の波形は $\theta = 0 \sim \pi$, $\pi \sim 2\pi$ で区切られる $1/2$ 周期において対称性を有するためである。但し、電位VAとVBは逆転し、

【0035】
【数7】

※ることができる。

【0038】このようなスイッチS1～S9の開閉動作及び電位VA, VBの逆転は、次式で与えられるスイッチング制御信号D0～D10によって実現できる。

【0039】
【数8】

$$D0 = B4$$

$$D1 = \overline{B0} \cdot \overline{B1} \cdot \overline{B2} \cdot \overline{B3}$$

$$D2 = B0 \cdot (\overline{B1} \oplus \overline{B2}) \cdot (\overline{B2} \oplus \overline{B3})$$

$$D3 = \overline{B0} \cdot B1 \cdot (\overline{B2} \oplus \overline{B3})$$

$$D4 = B0 \cdot (B1 \oplus B2) \cdot (\overline{B2} \oplus \overline{B3})$$

$$D5 = \overline{B0} \cdot \overline{B1} \cdot (B1 \oplus B2)$$

$$D6 = B0 \cdot (B1 \oplus B2) \cdot (B2 \oplus B3)$$

$$D7 = \overline{B0} \cdot B1 \cdot (B2 \oplus B3)$$

$$D8 = B0 \cdot (\overline{B1} \oplus \overline{B2}) \cdot (B2 \oplus B3)$$

$$D9 = \overline{B0} \cdot \overline{B1} \cdot \overline{B2} \cdot B3$$

$$D10 = \overline{B4}$$

但し \oplus は排他的論理和を示す

【0040】即ち、制御タイミング発生回路12の動作は、カウント結果B0～B4から数8を満足させるスイッチング制御信号D0～D10を生成することであり、制御タイミング回路12は論理ゲートを用いて容易に実現することができる。なお、理解の容易のため図2にはカウント結果B1, B2の排他的論理和及びカウント結果

B2, B3の排他的論理和も併記した。また、図2のタイミングは理想的なものであり、実際にはスイッチング制御信号D0～D10は同期回路13によって調整され、スイッチング制御信号Q0～Q10が荷重抵抗回路14に与えられる。

【0041】スイッチング制御信号D0～D10は以上の

ようにして生成され、クロックCLKに同期してスイッチS1～S9を開閉させるため、図5に示したような近似正弦波W3が得られる。

【0042】なお、第1実施例では正弦波の対称性ある1/4周期の波形を基にして近似正弦波を発生させている旨の説明をしたが、正弦波の対称性ある1/2周期の波形を基にして近似正弦波を発生させているとみることでもできる。また第1実施例においては正弦波の周波数の1/4周期に対して8回のサンプリングを行っており、32(=4×8)倍のオーバーサンプリング比を用いているが、より小さな、又はより大きなオーバーサンプリング比を用いても、回路規模に比較して低歪率、高精度の近似正弦波を得ることができる。

【0043】上記実施例で説明した近似正弦波W3はその後ローパスフィルタ15へ伝えられ、高周波成分が除去される。ローパスフィルタ15としてその通過制限領域が可変であるフィルタを用いれば、発生すべき正弦波の周波数を増大、減少させるためにクロックCLKの周波数を増大、減少させてもこれに対応して通過制限領域を変化させて周波数が可変である正弦波発生回路を得ることができる。

【0044】ローパスフィルタ15としてスイッチトキャパシタを用いれば、そのスイッチング周波数を制御することによりその通過制限領域を変化させることができる。特にスイッチトキャパシタはその伝送特性において伝送零点を有し、これに対応する周波数、つまり伝送されない信号成分の周波数はスイッチング周波数の1/2の周波数と等しい。従ってクロックCLKの周波数fCLKの2倍の周波数でスイッチトキャパシタをスイッチングすることにより、ローパスフィルタ15の伝送零点の周波数はクロックCLKの周波数fCLKに等しくなって近似正弦波の高周波を良好に除去することができる。

【0045】この目的のため、周波数が2fCLKである原クロック信号RCLをローパスフィルタ15に与え、またこれを分周器16によって1/2に分周して周波数がfCLKのクロックCLKをカウンタ11、同期回路13のそれぞれに与えている。従って発生させるべき正弦波の周波数を増大させる場合には原クロック信号RCLの周波数を増大させ、クロックCLKの周波数を増大させればよく、この場合には原クロック信号RCLの周波数の増大に従ってローパスフィルタの伝送零点の周波数も増大する。発生させるべき正弦波の周波数を減少させる場合も同様である。従って発生させるべき正弦波の周波数は原クロック信号の周波数によって制御することができ、その増大減少にかかわらず高周波成分は良好に除去される。

【0046】なお、抵抗R2、R3が接続される点は、図1に示すようにキャパシタ20を介して接地することが望ましい。電位VA、VBを切替える際に生じるパルスノイズを除去するためである。

【0047】また荷重抵抗回路14ではアナログ電位を発生するので、これに用いる電位VD2、VS2を与える電源は、カウンタ11、制御タイミング発生回路12、同期回路13などのデジタル回路に用いる電位VD2、VS2を与える電源とは異なるものを用いることが望ましい。

【0048】

【発明の効果】以上のようにこの発明によれば所定の電位差が荷重抵抗分圧回路において正弦波に対応した複数の電位に分圧され、これらの電位がクロックパルスによって開閉するスイッチを介して順次読み出されるため、量子化誤差の小さな階段状の近似正弦波を得ることができる。また近似正弦波の高周波成分を抑制するローパスフィルタの通過制限領域はクロックパルスの周波数に対応して移動するため、クロックパルスの周波数を高めて発生すべき正弦波の周波数を高めても、その高周波成分を良好に抑制することができる。

【0049】従って高精度で低歪率の正弦波を発生させることができ、また発生する正弦波の周波数が可変である正弦波発生回路を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す回路図である。

【図2】この発明の一実施例を説明するタイミングチャートである。

【図3】荷重抵抗回路14の主要部を示す回路図である。

【図4】この発明の一実施例を説明するグラフである。

【図5】この発明の一実施例を説明するグラフである。

【図6】この発明の一実施例を説明するグラフである。

【図7】ローパスフィルタ15の伝送特性を示すグラフである。

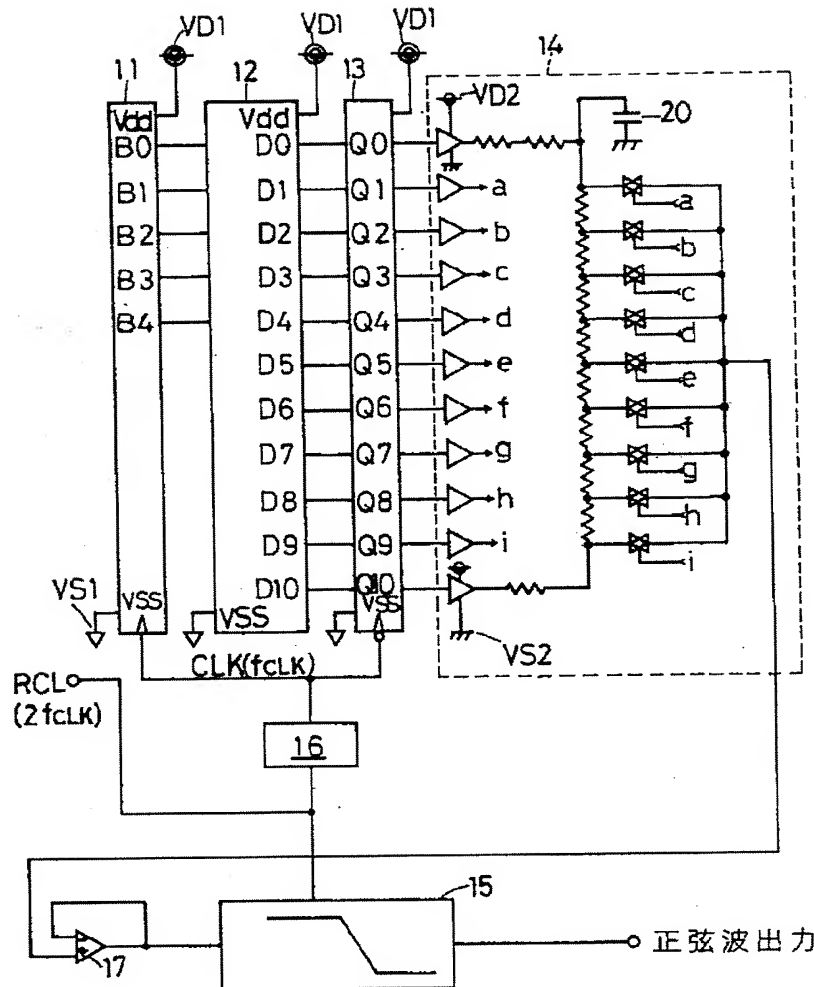
【図8】従来の技術を示す回路図である。

【図9】従来の技術を説明するグラフである。

【符号の説明】

CLK クロックパルス
fCLK クロックパルスの周波数
11 カウンタ
12 制御タイミング発生回路
14 荷重抵抗発生回路
15 ローパスフィルタ
D0～D10, Q0～Q10 スwitchング制御信号

【図1】



CLK: クロックパルス

12: 制御タイミング発生回路

fCLK: クロックパルス周波数

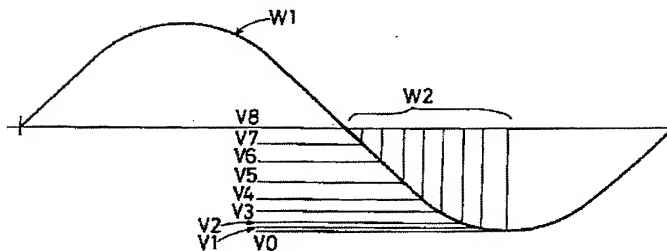
14: 荷重抵抗発生回路

11: カウンタ

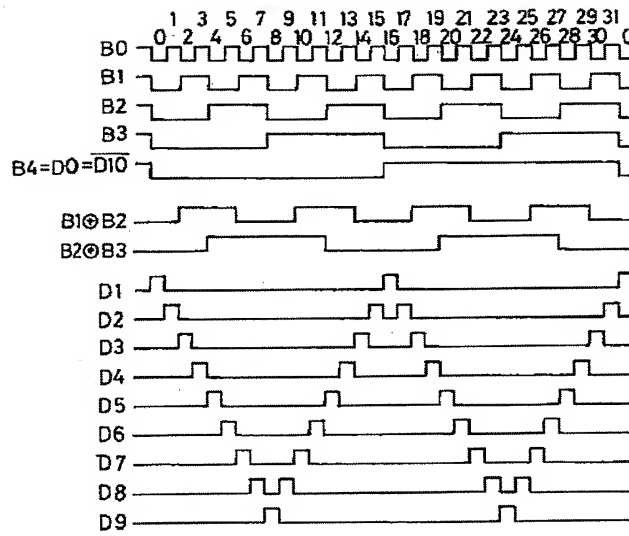
15: ローパスフィルタ

D0-D10, Q0-Q10: スイッチング制御信号

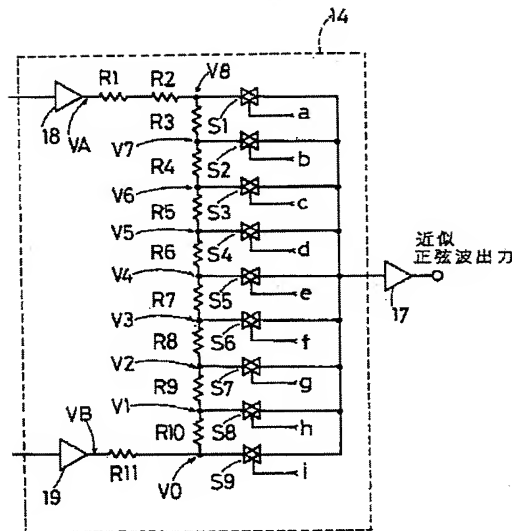
【図4】



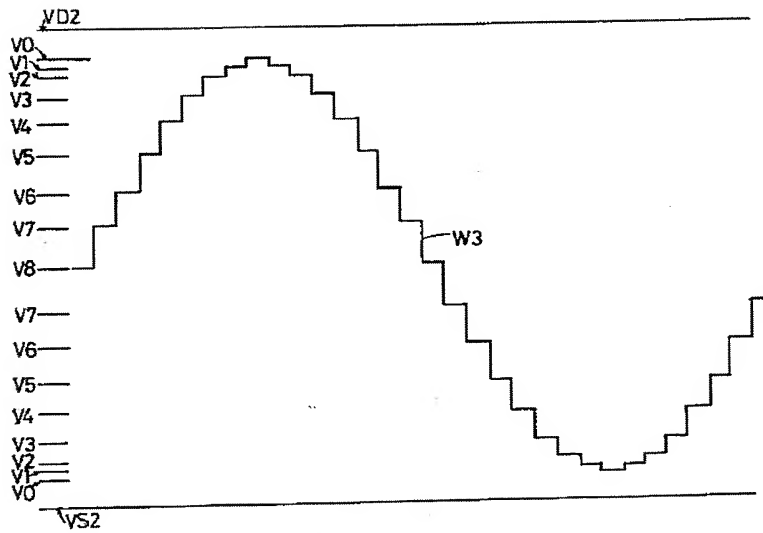
【図2】



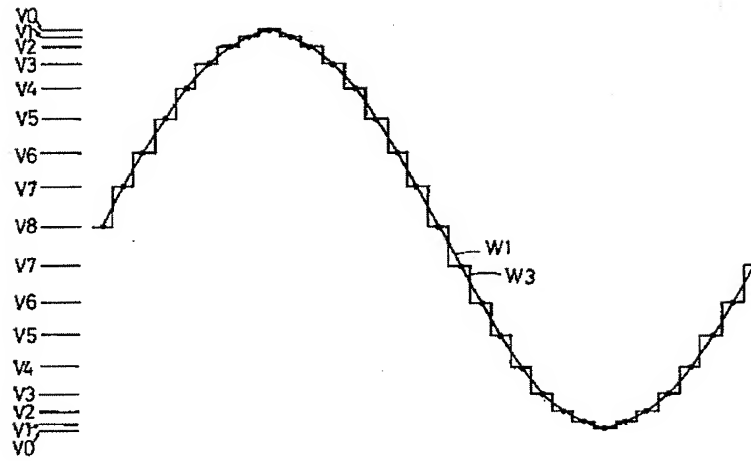
【図3】



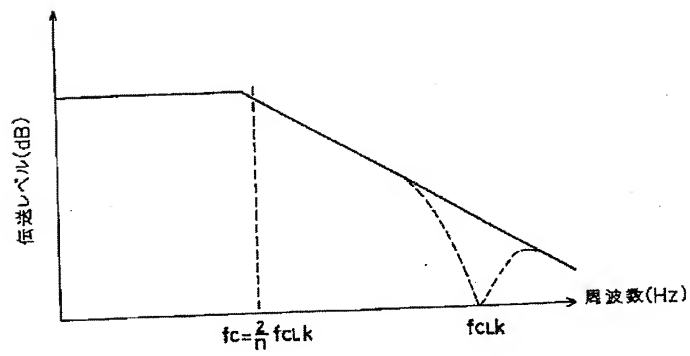
【図5】



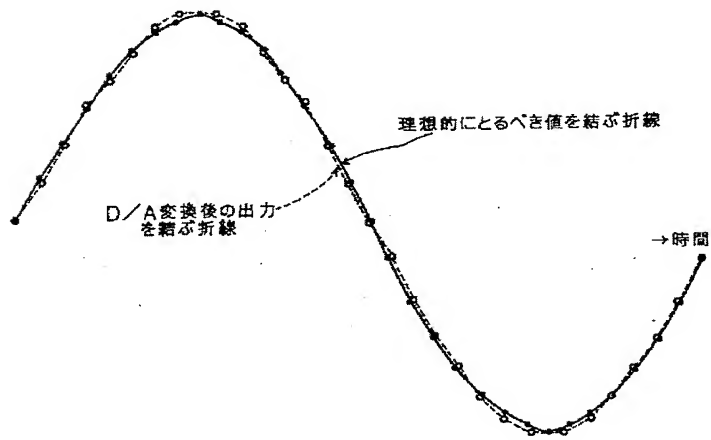
【図6】



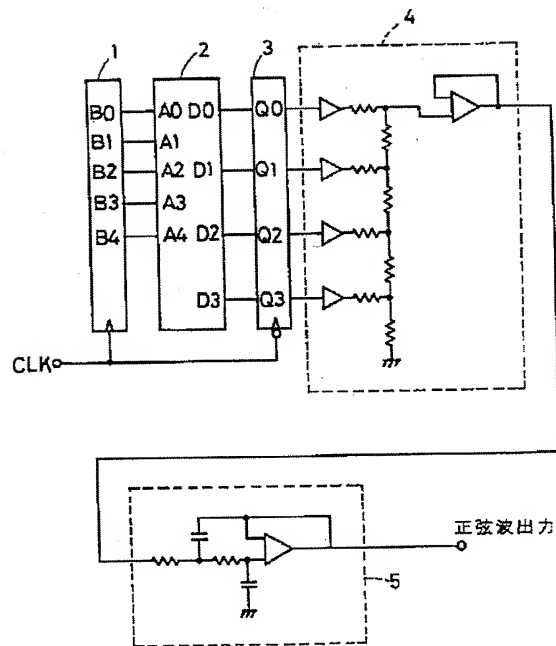
【図7】



【図9】



【図8】



【手続補正書】

【提出日】平成4年5月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図8に従来の正弦波発生回路の構成を示す。5ビットカウンタ1はクロックCLKをカウントし、カウント結果B0～B4をアドレスA0～A4としてROM2に与える。ROM2にはあらかじめ正弦波を近似する4ビットデータが記憶されており、アドレスA0～A4によって指定された4ビットデータD0～D3が出力される。これらのデータは4ビットフリップフロップ3を介して信号Q0～Q3となってD/A変換器4に入力され、D/A変換器4からはアナログ電圧が出力される。これをローパスフィルタ5によって高周波雑音を抑圧する。つまりROM2に記憶された正弦波を近似する4ビットのデータがクロックCLKに従って順次読み出されてD/A変換され、ローパスフィルタ5を介して正弦波を発生させている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】カウント結果B0乃至B4は制御タイミング発生回路12に入力され、後述する構成及び動作によってスイッチング制御信号D0～D10を発生する。これは同期回路13によって、制御タイミング発生回路12内での遅延が整理され、スイッチング制御信号Q0～Q10となって荷重抵抗分圧回路14に入力される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】アナログスイッチS1～S9の出力端はバッファ17の入力端に共通して接続されており、バッファ17の出力端からは後述するように階段状の近似正弦波出力が得られる(図7)。アナログスイッチS1～S9のゲートは図1のスイッチング制御信号Q1～Q9が入力される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】また荷重抵抗回路14ではアナログ電位を発生するので、これに用いる電位VD2、VS2を与える電源は、カウンタ11、制御タイミング発生回路12、同

期回路13などのデジタル回路に用いる電位VD1、VS1を与える電源とは異なるものを用いることが望ましい。